

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-044138

(43)Date of publication of application : 16.02.2001

(51)Int.Cl.

H01L 21/28
H01L 21/8234
H01L 27/088
H01L 27/108
H01L 21/8242
H01L 29/417
H01L 29/78
H01L 21/336

(21)Application number : 11-213438

(71)Applicant : HITACHI LTD

(22)Date of filing : 28.07.1999

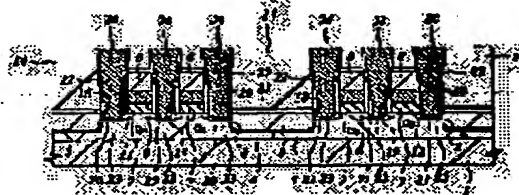
(72)Inventor : YOSHIDA MAKOTO
ONISHI KAZUHIRO
ASAKA KATSUYUKI
TAKAKURA TOSHIHIKO

(54) MANUFACTURE OF SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND
SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To enable high integration density of a device by forming a second conductivity semiconductor region of higher impurity concentration by implanting impurity ion to semiconductor substrates in both sides of a gate electrode and forming a silicide layer at the surface of the second conductivity semiconductor region of high impurity concentration.

SOLUTION: An n⁺-type semiconductor region 20 (source, drain) of high impurity concentration is formed with ion implantation of n-type impurity (phosphorus or arsenic) to a n-type well 4 and a p⁺-type semiconductor region 21 (source, drain) of high impurity concentration is formed by implantation of p-type impurity (boron) to a n-type well. Next, after a silicide layer 23 is formed at the surface of the n⁺-type semiconductor region 20 (source, drain) exposed at the bottom part of the contact holes 16, 17 and the p⁺-type semiconductor region 21 (source, drain) exposed at the bottom part of the contact holes 18, 19, a plug 24 is formed within the contact holes 16 to 19.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or

BEST AVAILABLE COPY

application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-44138

(P2001-44138A)

(43) 公開日 平成13年2月16日 (2001.2.16)

(51) Int. Cl.	識別記号	F I	ノート (参考)
H 0 1 L 21/28	3 0 1	H 0 1 L 21/28	3 0 1 S 4 M 1 0 4
21/8234		27/08	1 0 2 D 5 F 0 4 0
27/088		27/10	6 8 1 F 5 F 0 4 8
27/108		29/50	U 5 F 0 8 3
21/8242		29/78	3 0 1 Y

審査請求 未請求 請求項の数 5 O L (全 17 頁) 最終頁に続く

(21) 出願番号 特願平11-213438

(22) 出願日 平成11年7月28日 (1999.7.28)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 吉田 誠

東京都青梅市新町六丁目16番地の3 株式会社日立製作所デバイス開発センタ内

(72) 発明者 大西 和博

東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内

(74) 代理人 100080001

弁理士 筒井 大和

最終頁に続く

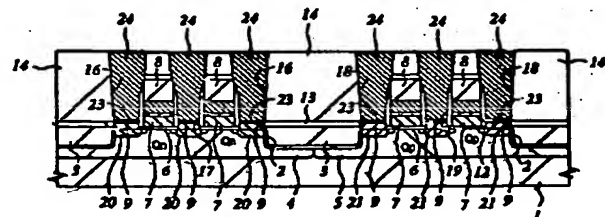
(54) 【発明の名称】 半導体集積回路装置の製造方法および半導体集積回路装置

(57) 【要約】

【課題】 MISFETによって構成される半導体集積回路装置の高集積化、高性能化を推進する

【解決手段】 ゲート電極7の側面に1層の窒化シリコン膜13を形成することによってセルフアライン・コンタクト (SAC)、LDD構造およびソース、ドレインのシリサイド化を実現する。

図 17



【特許請求の範囲】

【請求項1】 以下の工程を含むことを特徴とする半導体集積回路装置の製造方法；

(a) 第1導電型の半導体基板の主面上にゲート電極を形成した後、前記ゲート電極の両側の前記半導体基板に不純物イオンを打ち込むことによって、低不純物濃度の第2導電型半導体領域を形成する工程、(b) 前記ゲート電極の上面および側面を覆うように窒化シリコン系の第1絶縁膜を形成した後、前記第1絶縁膜の上部に酸化シリコン系の第2絶縁膜を形成する工程、(c) 前記第1絶縁膜に対する前記第2絶縁膜のエッチング速度が大きい条件で前記第2絶縁膜をエッチングした後、前記第1絶縁膜を異方的にエッチングすることによって、前記低不純物濃度の第2導電型半導体領域の上部に前記ゲート電極に対して自己整合で第1接続孔を形成する工程、(d) 前記第1接続孔を通じて前記ゲート電極の両側の前記半導体基板に不純物イオンを打ち込むことによって、高不純物濃度の第2導電型半導体領域を形成する工程、(e) 前記高不純物濃度の第2導電型半導体領域の表面にシリサイド層を形成する工程。

【請求項2】 請求項1記載の半導体集積回路装置の製造方法において、前記(c)工程の後、前記(d)工程に先立って、前記低不純物濃度の第2導電型半導体領域の表面にシリコン層を選択的に形成することを特徴とする半導体集積回路装置の製造方法。

【請求項3】 請求項1または2記載の半導体集積回路装置の製造方法において、前記低不純物濃度の第2導電型半導体領域の上部に前記第1接続孔を形成した後、前記第1接続孔の内壁に酸化シリコン系の絶縁膜からなるサイドウォールスペーサを形成することを特徴とする半導体集積回路装置の製造方法。

【請求項4】 請求項1、2または3記載の半導体集積回路装置の製造方法において、前記(e)工程の後、

(f) 前記第1接続孔の内部に第1導体膜を形成した後、前記第2絶縁膜の上部に第3絶縁膜を形成する工程、(g) 前記第1接続孔の上部の前記第3絶縁膜に第2接続孔を形成し、次いで前記第2接続孔の内部に第2導体膜を形成した後、前記第3絶縁膜の上部にメタル配線を形成する工程、をさらに含むことを特徴とする半導体集積回路装置の製造方法。

【請求項5】 請求項1～4のいずれか一項に記載の半導体集積回路装置の製造方法によって得られた半導体集積回路装置であって、前記ゲート電極を挟んで隣り合う前記第1接続孔のスペース(s)は、 $s = [\text{ゲート電極の幅} + (\text{ゲート電極の側面に形成された第1絶縁膜の膜厚} \times 2) - \text{フォトリソグラフ膜の合わせ精度}]$ であることを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体集積回路装

置およびその製造技術に関し、特に、MISFET(Metal Insulator Semiconductor Field Effect Transistor)を有する半導体集積回路装置の高集積化に適用して有効な技術に関する。

【0002】

【従来の技術】 微細なデザインルールで形成されたMISFETのソース、ドレインとメタル配線とを電気的に接続するには、ゲート電極の上面と側面とに窒化シリコン膜を形成し、この窒化シリコン膜とその上部に形成した絶縁膜(酸化シリコン膜)とのエッチング速度差を利用したドライエッチングで、ゲート電極との合わせ余裕を必要とせずにコンタクトホールを形成する、いわゆるセルフアライン・コンタクト(Self Align Contact; SAC)技術が使用される(例えば特開平9-252098号公報)。

【0003】 また周知のように、微細なMISFETを有するLSIの製造プロセスでは、ドレイン端部の電界強度を緩和するためのLDD(Lightly Doped Drain)構造を実現したり、ソース、ドレインとメタル配線とのコンタクト抵抗およびゲート電極抵抗を低減するためのサリサイド(Salicide)構造を実現したりするために、ゲート電極の側面に絶縁膜(サイドウォールスペーサ)を形成することが行われている。

【0004】

【発明が解決しようとする課題】 ところが、MISFETの微細化がさらに進み、ゲート電極のピッチが極めて狭くなってくると、上記したLDD構造などを実現するためにゲート電極の側面にサイドウォールスペーサを形成し、さらにセルフアライン・コンタクト(SAC)を実現するためにゲート電極の上面と側面とに窒化シリコン膜を形成した場合、ゲート電極とゲート電極とのスペースがSAC用の窒化シリコン膜によって埋め込まれてしまうために、このスペースにセルフアラインでコンタクトホールを形成することができなくなってしまう。

【0005】 その対策として、サイドウォールスペーサの膜厚(スペーサ長)やSAC用窒化シリコン膜の膜厚を薄くすることも考えられるが、SAC用の窒化シリコン膜に要求される膜厚は、コンタクトホールを形成する際の酸化シリコン膜と窒化シリコン膜とのドライエッチング選択比によって決まり、例えばこの選択比を20とした場合、少なくとも50nm程度の膜厚が必要となる。

【0006】 また、LDD構造において、低不純物濃度の半導体領域のゲート長方向に沿った寸法が短くなるとドレイン電界の緩和効果が小さくなるため、ゲート電極の側面に形成するサイドウォールスペーサはある程度の膜厚(スペーサ長)を確保する必要がある、例えばゲート長0.25 μm のMISFETの場合、50～100nm程度のスペーサ長が必要となる。さらに、ソース、ドレインのコンタクト抵抗を低減するためには、コンタクトホールの底部の面積をできるだけ大きくする必要があ

る。

【0007】このように、サイドウォールスペーサの膜厚（スペーサ長）やSAC用窒化シリコン膜の膜厚を薄くした場合は、MISFETの特性劣化を引き起こしてしまうため、これらの膜を薄くすることには限界がある。

【0008】本発明の目的は、MISFETによって構成される半導体集積回路装置の高集積化を推進する技術を提供することにある。

【0009】本発明の他の目的は、MISFETによって構成される半導体集積回路装置の高性能化を推進する技術を提供することにある。

【0010】本発明の他の目的は、MISFETによって構成される半導体集積回路装置の製造工程を簡略化する技術を提供することにある。

【0011】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0012】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0013】(1) 本発明の半導体集積回路装置の製造方法は、以下の工程を含む。

【0014】(a) 第1導電型の半導体基板の主面上にゲート電極を形成した後、前記ゲート電極の両側の前記半導体基板に不純物イオンを打ち込むことによって、低不純物濃度の第2導電型半導体領域を形成する工程、

(b) 前記ゲート電極の上面および側面を覆うように窒化シリコン系の第1絶縁膜を形成した後、前記第1絶縁膜の上部に酸化シリコン系の第2絶縁膜を形成する工程、

(c) 前記第1絶縁膜に対する前記第2絶縁膜のエッチング速度が大きい条件で前記第2絶縁膜をエッチングした後、前記第1絶縁膜を異方的にエッチングすることによって、前記低不純物濃度の第2導電型半導体領域の上部に前記ゲート電極に対して自己整合で第1接続孔を形成する工程、(d) 前記第1接続孔を通じて前記ゲート電極の両側の前記半導体基板に不純物イオンを打ち込むことによって、高不純物濃度の第2導電型半導体領域を形成する工程、(e) 前記高不純物濃度の第2導電型半導体領域の表面にシリサイド層を形成する工程。

【0015】(2) 本発明の半導体集積回路装置の製造方法は、前記請求項1において、前記(c)工程の後、前記(d)工程に先立って、前記低不純物濃度の第2導電型半導体領域の表面にシリコン層を選択的に形成する。

【0016】(3) 本発明の半導体集積回路装置の製造方法は、前記請求項1または2において、前記低不純物濃度の第2導電型半導体領域の上部に前記第1接続孔を形成した後、前記第1接続孔の内壁に酸化シリコン系の

絶縁膜からなるサイドウォールスペーサを形成する。

【0017】(4) 本発明の半導体集積回路装置の製造方法は、前記請求項1、2または3において、前記

(e)工程の後、(f)前記第1接続孔の内部に第1導体膜を形成した後、前記第2絶縁膜の上部に第3絶縁膜を形成する工程、(g)前記第1接続孔の上部の前記第3絶縁膜に第2接続孔を形成し、次いで前記第2接続孔の内部に第2導体膜を形成した後、前記第3絶縁膜の上部にメタル配線を形成する工程をさらに含む。

【0018】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

【0019】(実施の形態1) 本発明の実施の形態1であるCMOS-LSIの製造方法を図1～図14を用いて工程順に説明する。

【0020】まず、図1に示すように、例えばp型の単結晶シリコンからなる半導体基板（以下、単に基板という）1に素子分離溝2を形成する。素子分離溝2を形成するには、素子分離領域の基板1をエッチングして溝を形成した後、溝の内部を含む基板1上にCVD法で酸化シリコン膜3を堆積し、続いて溝の上部の酸化シリコン膜3を化学的および機械的に研磨することによってその表面を平坦化する。

【0021】次に、基板1にp型不純物（ホウ素）およびn型不純物（例えばリン）をイオン打ち込みすることによって、p型ウエル4およびn型ウエル5を形成した後、基板1をスチーム酸化することによって、p型ウエル4およびn型ウエル5の表面にゲート酸化膜6を形成する。

【0022】次に、図2に示すように、ゲート酸化膜6の上部にゲート電極7を形成する。ゲート電極7を形成するには、例えばゲート酸化膜6の上部にリン(P)をドーパした低抵抗多結晶シリコン膜をCVD法で堆積し、続いてその上部にスパッタリング法でW膜とW膜とを堆積し、さらにその上部にCVD法で窒化シリコン膜8を堆積した後、フォトリソ膜（図示せず）をマスクにしたドライエッチングでこれらの膜をパターンニングする。

【0023】次に、ゲート電極7の両側のp型ウエル4にn型不純物（リンまたはヒ素）をイオン打ち込みすることによって低不純物濃度のn⁻型半導体領域11を形成し、n型ウエル5にp型不純物（ホウ素）をイオン打ち込みすることによって低不純物濃度のp⁻型半導体領域12を形成する。

【0024】次に、図3に示すように、基板1上にCVD法で窒化シリコン膜13を堆積し、続いて窒化シリコン膜13の上部にCVD法で酸化シリコン膜14を堆積した後、酸化シリコン膜14を化学的および機械的に研

磨することによってその表面を平坦化する。

【0025】次に、図4に示すように、フォトレジスト膜15をマスクにして n^- 型半導体領域11および p^- 型半導体領域12の上部の酸化シリコン膜14をドライエッチングする。このエッチングは、酸化シリコン膜14の下層の窒化シリコン膜13が削れるのを防ぐために、酸化シリコン膜14を高い選択比でエッチングするガス（例えば $C_4F_8 + Ar$ ）を使用して行う。

【0026】次に、図5に示すように、上記フォトレジスト膜15をマスクにして窒化シリコン膜13をドライエッチングすることにより、 n^- 型半導体領域11の上部にコンタクトホール16、17を形成し、 p^- 型半導体領域12の上部にコンタクトホール18、19を形成する。このエッチングは、基板1や素子分離溝2内の酸化シリコン膜3の削れ量を最小とするために、窒化シリコン膜13を高い選択比でエッチングするガス（例えば $CF_4 + CHF_3 + Ar$ ）を使用して行う。また、このエッチングは、窒化シリコン膜13を異方的にエッチングするような条件で行い、ゲート電極7の側壁に窒化シリコン膜13を残す。これにより、隣り合ったゲート電極7、9のスペースよりも微細な径を有するコンタクトホール16～19がゲート電極7に対してセルフアライン（自己整合）で形成される。

【0027】図6は、上記コンタクトホール16～19の平面レイアウトを示す平面図であり、前記図5は、図中のV-V線に沿った断面を示している。図示のように、コンタクトホール16～19のそれぞれは、長方形の平面パターンで構成され、その長辺の寸法は、素子形成領域(L)の寸法と同等以上である。また、隣り合ったコンタクトホール16、17（およびコンタクトホール18、19）のスペース(s)は、[ゲート電極7の幅(=ゲート長)+ (窒化シリコン膜13の膜厚×2) - フォトレジスト膜15の合わせ精度]である。

【0028】次に、図7に示すように、 p 型ウエル4に n 型不純物（リンまたはヒ素）をイオン打ち込みすることによって高不純物濃度の n^+ 型半導体領域20（ソース、ドレイン）を形成し、 n 型ウエル5に p 型不純物（ホウ素）をイオン打ち込みすることによって高不純物濃度の p^+ 型半導体領域21（ソース、ドレイン）を形成する。ここまでの工程で、LDD構造のソース、ドレインを備えた n チャネル型MISFETQ n および p チャネル型MISFETQ p が完成する。

【0029】次に、図8に示すように、コンタクトホール16～19の内壁に酸化シリコン膜からなるサイドウォールスペーサ22を形成する。サイドウォールスペーサ22を形成するには、コンタクトホール16～19の内部を含む酸化シリコン膜14の上部にCVD法で酸化シリコン膜を堆積した後、この酸化シリコン膜を異方的にドライエッチングする。

【0030】コンタクトホール16～19の内壁に窒化

シリコン膜13よりも誘電率の小さい酸化シリコン膜からなるサイドウォールスペーサ22を形成することにより、次の工程でコンタクトホール16～19の内部に埋め込むプラグ24とゲート電極7との間に形成される寄生容量を低減することができるので、 n チャネル型MISFETQ n および p チャネル型MISFETQ p のゲート遅延を低減することができる。なお、ゲート電極7とゲート電極7とのスペース（コンタクトホール16～19の内部）に酸化シリコン膜を埋め込む余裕が無い場合には、上記サイドウォールスペーサ22を形成しなくともよい。

【0031】次に、図9に示すように、コンタクトホール16、17の底部に露出した n^+ 型半導体領域20（ソース、ドレイン）およびコンタクトホール18、19の底部に露出した p^+ 型半導体領域21（ソース、ドレイン）の表面にシリサイド層23を形成した後、コンタクトホール16～19の内部にプラグ24を形成する。

【0032】上記シリサイド層23およびプラグ24は、例えば次のような方法で形成する。まず、コンタクトホール16～19の内部を含む酸化シリコン膜14の上部にスパッタリング法でTi膜（またはCo膜）とTiN膜とを堆積した後、基板1を熱処理することによって n^+ 型半導体領域20および p^+ 型半導体領域21の表面にTiシリサイド（またはCoシリサイド）からなるシリサイド層23を形成する。次に、上記TiN膜の上部にCVD法でTiN膜およびW膜を堆積した後、酸化シリコン膜14の上部のW膜、TiN膜およびTi膜（またはCo膜）をCMP法で研磨し、これらの膜をコンタクトホール16～19の内部に残すことによってプラグ24を形成する。

【0033】ソース、ドレイン（ n^+ 型半導体領域20、 p^+ 型半導体領域21）とその上部に形成されたプラグ24との界面にシリサイド層23を形成することにより、ソース、ドレイン（ n^+ 型半導体領域20、 p^+ 型半導体領域21）とプラグ24とのコンタクト抵抗が低減するので、 n チャネル型MISFETQ n および p チャネル型MISFETQ p の動作速度を向上させることができる。

【0034】次に、図10（図11のX-X線に沿った断面図）および図11に示すように、酸化シリコン膜14の上部にCVD法で酸化シリコン膜25を堆積した後、フォトレジスト膜（図示せず）をマスクにして酸化シリコン膜25をドライエッチングすることにより、コンタクトホール16の上部にスルーホール26を形成し、コンタクトホール18の上部にスルーホール27を形成する。図11に示すように、スルーホール26、27は、それらの下部のコンタクトホール16、18よりも小さい面積で形成する。

【0035】次に、図12に示すように、スルーホール

26、27の内部にプラグ28を形成する。プラグ28を形成するには、例えばスルーホール26、27の内部を含む酸化シリコン膜25の上部にスパッタリング法でW膜を堆積した後、酸化シリコン膜25の上部のW膜をCMP法で研磨し、スルーホール26、27の内部に残す。

【0036】次に、図13および図14に示すように、酸化シリコン膜25の上部に配線30～35を形成する。配線30～35は、例えば酸化シリコン膜25の上部にスパッタリング法でAl合金膜を堆積した後、フォトリソスト膜（図示せず）をマスクにしたドライエッチングでAl合金膜をパターンニングすることによって形成する。

【0037】以上のように、本実施の形態によれば、ゲート電極7の側面に1層の窒化シリコン膜13を形成するだけでセルフアライン・コンタクト（SAC）、LDD構造およびソース、ドレインのシリサイド化を実現することが可能となる。

【0038】（実施の形態2）本発明の実施の形態2であるCMOS-LSIの製造方法を図15～図18を用いて工程順に説明する。

【0039】まず、図15に示すように、フォトリソスト膜15をマスクにしてゲート電極7の上部に堆積した酸化シリコン膜14および窒化シリコン膜13をドライエッチングすることにより、 n^- 型半導体領域11の上部にセルフアラインでコンタクトホール16、17を形成し、 p^- 型半導体領域12の上部にセルフアラインでコンタクトホール18、19を形成する。ここまでの工程は、前記実施の形態1の工程（図1～図6）と同じである。

【0040】次に、図16に示すように、 n^- 型半導体領域11および p^- 型半導体領域12の上部に多結晶シリコンまたは単結晶シリコンからなるシリコン層9を選択的に成長させる。続いて、 p 型ウエル4に n 型不純物（リンまたはヒ素）をイオン打ち込みすることによって高不純物濃度の n^+ 型半導体領域20（ソース、ドレイン）を形成し、 n 型ウエル5に p 型不純物（ホウ素）をイオン打ち込みすることによって高不純物濃度の p^+ 型半導体領域21（ソース、ドレイン）を形成する。ここまでの工程で、LDD構造のソース、ドレインを備えた n チャネル型MISFETQ n および p チャネル型MISFETQ p が完成する。

【0041】次に、図17に示すように、 n^- 型半導体領域11および p^- 型半導体領域12の上部に形成されたシリコン層9の表面にシリサイド層23を形成した後、コンタクトホール16～19の内部にプラグ24を形成する。シリサイド層23およびプラグ24は、前記実施の形態1と同じ方法で形成する。

【0042】このように、 n^- 型半導体領域11および p^- 型半導体領域12の上部に選択成長させたシリコン

層9の表面にシリサイド層23を形成することにより、 n^- 型半導体領域11および p^- 型半導体領域12の表面にシリサイド層23を直接形成する前記実施の形態1に比べてシリサイド層23を厚く形成することができるので、ソース、ドレイン（ n^+ 型半導体領域20、 p^+ 型半導体領域21）とプラグ24とのコンタクト抵抗をより一層低減することができる。

【0043】次に、図18に示すように、前記実施の形態1と同じ方法で酸化シリコン膜14の上部に酸化シリコン膜25を堆積し、続いて酸化シリコン膜25にスルーホール26、27を形成してその内部にプラグ28を埋め込んだ後、酸化シリコン膜25の上部に配線30～32を形成する。

【0044】以上のように、本実施の形態によれば、ゲート電極7の側面に1層の窒化シリコン膜13を形成するだけでセルフアライン・コンタクト（SAC）、LDD構造およびソース、ドレインのシリサイド化を実現することが可能となる。

【0045】また、本実施の形態の製造方法は、コンタクトホール16～19の内壁にサイドウォールスペーサ22（図8参照）を形成しないので、MISFETの微細化がさらに進み、ゲート電極7とゲート電極7とのスペースに酸化シリコン膜を埋め込む余裕が無くなった場合に好適な方法である。

【0046】（実施の形態3）本発明の実施の形態3であるDRAM（Dynamic Random Access Memory）-ロジック混載LSIの製造方法を図19～図25を用いて工程順に説明する。なお、図19～図25の左側部分はDRAMのメモリセルアレイ、右側部分はロジック領域を示している。

【0047】まず、図19に示すように、メモリセルアレイおよびロジック領域にゲート電極7を形成し、続いて p 型ウエル4に n^- 型半導体領域11、 n 型ウエル5に p^- 型半導体領域12をそれぞれ形成した後、ゲート電極7の上部に窒化シリコン膜13および酸化シリコン膜14を堆積し、酸化シリコン膜14を化学的および機械的に研磨することによってその表面を平坦化する。なお、メモリセルアレイのゲート電極7は、ワード線WLとして使用される。

【0048】次に、図20に示すように、メモリセルアレイの酸化シリコン膜14および窒化シリコン膜13をドライエッチングすることによって、ゲート電極7（ワード線WL）に対してセルフアラインでコンタクトホール40、41を形成し、続いてコンタクトホール40、41を通じて p 型ウエル4に n 型不純物（リンまたはヒ素）をイオン打ち込みすることによって高不純物濃度の n^+ 型半導体領域20（ソース、ドレイン）を形成する。ここまでの工程で、LDD構造のソース、ドレインを備えたメモリセル選択用MISFETQ s が完成する。

【0049】次に、コンタクトホール40、41の内部および酸化シリコン膜14の上部にn型不純物（リンまたはヒ素）を含んだ低抵抗多結晶シリコン膜をCVD法で堆積した後、酸化シリコン膜14の上部の多結晶シリコン膜をエッチバックで除去することにより、コンタクトホール40、41の内部に低抵抗多結晶シリコン膜からなるプラグ42を形成する。

【0050】次に、図21に示すように、酸化シリコン膜14の上部にCVD法で酸化シリコン膜25を堆積した後、フォトレジスト膜（図示せず）をマスクにしてメモリアルレイの酸化シリコン膜25をドライエッチングすることにより、前記コンタクトホール41の上部にスルーホール43を形成する。

【0051】次に、上記フォトレジスト膜を除去した後、新たなフォトレジスト膜（図示せず）をマスクにしてロジック領域の酸化シリコン膜25、14および窒化シリコン膜13、8をドライエッチングすることにより、ゲート電極9の上部にコンタクトホール44を形成する。なお、スルーホール43とコンタクトホール44は、上記とは逆の順序で形成してもよい。

【0052】次に、図22に示すように、フォトレジスト膜（図示せず）をマスクにしてロジック領域の酸化シリコン膜25、14および窒化シリコン膜13をドライエッチングすることにより、n⁺型半導体領域11の上部にコンタクトホール45を形成し、p⁺型半導体領域12の上部にコンタクトホール46を形成する。コンタクトホール45、46は、ゲート電極7に対してセルフアライン（自己整合）で形成する。また、コンタクトホール45、46は、前記実施の形態1のコンタクトホール16～19と同様、長方形の平面パターン（図6参照）で構成され、かつ隣り合ったコンタクトホール45、45（およびコンタクトホール46、46）のスペースは、[ゲート電極7の幅（＝ゲート長）＋（窒化シリコン膜13の膜厚×2）－フォトレジスト膜の合わせ精度]である。

【0053】次に、p型ウエル4にn型不純物（リンまたはヒ素）をイオン打ち込みすることによって高不純物濃度のn⁺型半導体領域20（ソース、ドレイン）を形成し、n型ウエル5にp型不純物（ホウ素）をイオン打ち込みすることによって高不純物濃度のp⁺型半導体領域21（ソース、ドレイン）を形成する。ここまでの工程で、ロジック領域にLDD構造のソース、ドレインを備えたnチャネル型MISFETQnおよびpチャネル型MISFETQpが完成する。

【0054】次に、コンタクトホール45の底部に露出したn⁺型半導体領域20（ソース、ドレイン）およびコンタクトホール46の底部に露出したp⁺型半導体領域21（ソース、ドレイン）の表面にシリサイド層23を形成した後、コンタクトホール45、46の内部にプラグ47を形成する。またこのとき同時に、ゲート電極

7の上部のコンタクトホール44の内部およびコンタクトホール41の上部のスルーホール43の内部にもプラグ47を形成する。

【0055】上記シリサイド層23およびプラグ47は、前記実施の形態1のシリサイド層23およびプラグ24と同様の方法で形成する。また、デザインルールに余裕がある場合には、前記実施の形態1と同様、コンタクトホール45、46の内壁に酸化シリコン膜（図8参照）を形成することによって、nチャネル型MISFETQnおよびpチャネル型MISFETQpのゲート遅延を低減してもよい。

【0056】次に、図23に示すように、酸化シリコン膜25の上部にCVD法で窒化シリコン膜48および酸化シリコン膜49を順次堆積した後、まず第1のフォトレジスト膜（図示せず）をマスクにして酸化シリコン膜49をドライエッチングし、続いて第2のフォトレジスト膜（図示せず）をマスクにして窒化シリコン膜48をドライエッチングすることにより、プラグ47の上部にスルーホールを兼ねた配線溝50～54を形成する。

【0057】次に、図24に示すように、メモリアルレイの配線溝50の内部にビット線BLを形成し、ロジック領域の配線溝51～54の内部に第1層目の配線55～58を形成する。ビット線BLおよび配線55～58は、例えば配線溝50～54の内部および酸化シリコン膜49の上部にスパッタリング法でW膜を堆積した後、酸化シリコン膜49の上部のW膜を化学的および機械的に研磨することによって形成する。

【0058】その後、図25に示すように、メモリアルレイのビット線BLの上方に、例えば多結晶シリコン膜からなる下部電極60、酸化タンタル膜からなる容量絶縁膜61およびTiN膜からなる上部電極62で構成された情報蓄積用容量素子Cを形成することにより、DRAMのメモリアルが完成する。

【0059】以上のように、本実施の形態によれば、ゲート電極7の側面に1層の窒化シリコン膜13を形成するだけでセルフアライン・コンタクト（SAC）、LDD構造およびソース、ドレインのシリサイド化を実現することが可能となる。

【0060】なお、本実施の形態では、前記図21に示すように、フォトレジスト膜をマスクにしてメモリアルレイの酸化シリコン膜25をドライエッチングすることにより、コンタクトホール41の上部にスルーホール43を形成し、続いて別のフォトレジスト膜をマスクにしてロジック領域の酸化シリコン膜25、14および窒化シリコン膜13、8をドライエッチングすることにより、ゲート電極9の上部にコンタクトホール44を形成したが、図26に示すように、メモリアルレイのスルーホール43とロジック領域のコンタクトホール44とを同時に形成することにより、フォトマスクを一枚減らすことができる。

【0061】また、図27に示すように、メモリセルアレイのスルーホール43とロジック領域のコンタクトホール45、46とを同時に形成したり、図28に示すように、酸化シリコン膜49および窒化シリコン膜48をドライエッチングしてプラグ47の上部に配線溝50～54を形成した後、引き続いて配線溝54の下部の酸化シリコン膜25、14および窒化シリコン膜13、8をドライエッチングしてコンタクトホール44を形成したりすることによっても、フォトマスクを一枚減らすことができる。

【0062】さらに、図29に示すように、酸化シリコン膜49および窒化シリコン膜48をドライエッチングしてプラグ47の上部に配線溝50～54を形成した後、引き続いて配線溝50の下部の酸化シリコン膜25をドライエッチングしてスルーホール47を形成することによっても、フォトマスクを一枚減らすことができる。

【0063】以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0064】前記実施の形態では、CMOS-LSIやDRAM-ロジック混載LSIに適用した場合について説明したが、これらに限定されるものではなく、微細なデザインルールで製造されるLSIに広く適用することができる。

【0065】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【0066】本発明によれば、簡略な工程でセルフアライン・コンタクト(SAC)・LDD構造およびソース、ドレインのシリサイド化を実現することが可能となるので、MISFETによって構成される半導体集積回路装置の高集積化、高性能化を推進することができる。

【図面の簡単な説明】

【図1】本発明の実施の形態1である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図2】本発明の実施の形態1である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図3】本発明の実施の形態1である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図4】本発明の実施の形態1である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図5】本発明の実施の形態1である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図6】本発明の実施の形態1である半導体集積回路装置の製造方法を示す基板の要部平面図である。

【図7】本発明の実施の形態1である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図8】本発明の実施の形態1である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図9】本発明の実施の形態1である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図10】本発明の実施の形態1である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図11】本発明の実施の形態1である半導体集積回路装置の製造方法を示す基板の要部平面図である。

【図12】本発明の実施の形態1である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図13】本発明の実施の形態1である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図14】本発明の実施の形態1である半導体集積回路装置の製造方法を示す基板の要部平面図である。

【図15】本発明の実施の形態2である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図16】本発明の実施の形態2である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図17】本発明の実施の形態2である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図18】本発明の実施の形態2である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図19】本発明の実施の形態3である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図20】本発明の実施の形態3である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図21】本発明の実施の形態3である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図22】本発明の実施の形態3である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図23】本発明の実施の形態3である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図24】本発明の実施の形態3である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図25】本発明の実施の形態3である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図26】本発明の実施の形態3である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図27】本発明の実施の形態3である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図28】本発明の実施の形態3である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図29】本発明の実施の形態3である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【符号の説明】

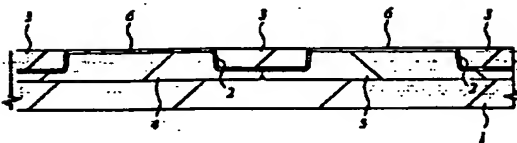
- 1 半導体基板
- 2 素子分離溝
- 3 酸化シリコン膜
- 4 p型ウエル
- 5 n型ウエル

- 6 ゲート酸化膜
- 7 ゲート電極
- 8 窒化シリコン膜
- 9 シリコン層
- 11 n⁻ 型半導体領域
- 12 p⁻ 型半導体領域
- 13 窒化シリコン膜
- 14 酸化シリコン膜
- 15 フォトリソグリス膜
- 16~19 コンタクトホール
- 20 n⁺ 型半導体領域 (ソース、ドレイン)
- 21 p⁺ 型半導体領域 (ソース、ドレイン)
- 22 サイドウォールスペーサ
- 23 シリサイド層
- 24 プラグ
- 25 酸化シリコン膜
- 26、27 スルーホール
- 28 プラグ
- 30~35 配線
- 40、41 コンタクトホール

- 42 プラグ
- 43 スルーホール
- 44 コンタクトホール
- 45、46 コンタクトホール
- 47 プラグ
- 48 窒化シリコン膜
- 49 酸化シリコン膜
- 50~54 配線溝
- 55~58 配線
- 60 下部電極
- 61 容量絶縁膜
- 62 上部電極
- B ビット線
- C 情報蓄積用容量素子
- L 素子形成領域
- Qn nチャネル型MISFET
- Qp pチャネル型MISFET
- Qs メモリセル選択用MISFET
- WL ワード線

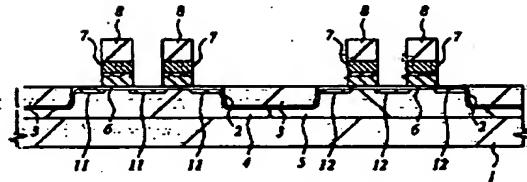
【図1】

図 1



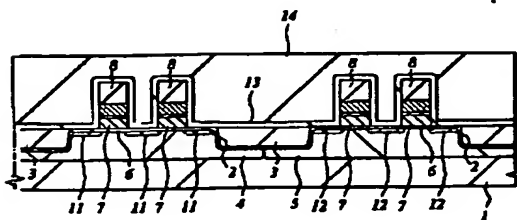
【図2】

図 2



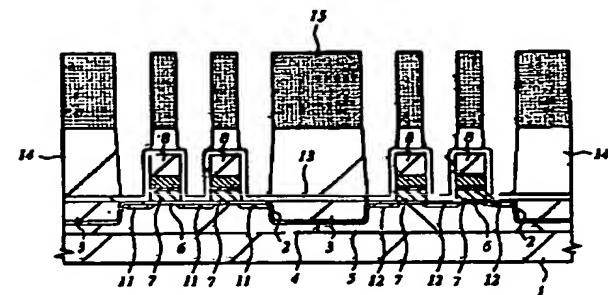
【図3】

図 3

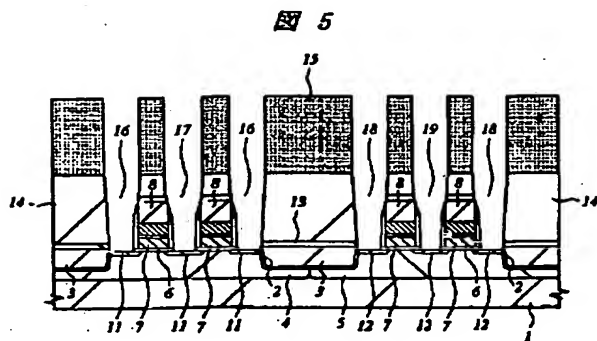


【図4】

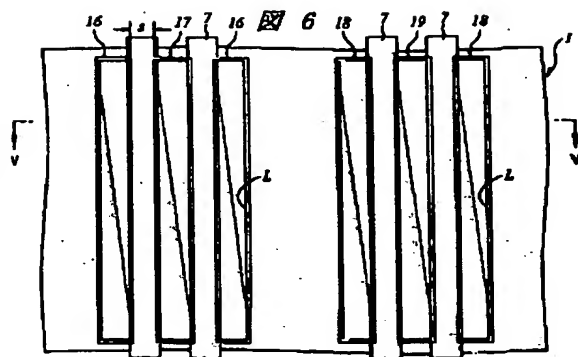
図 4



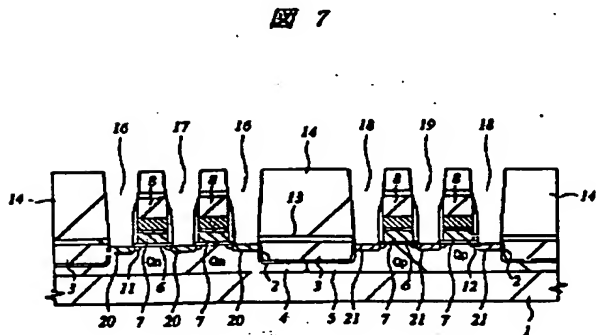
【図5】



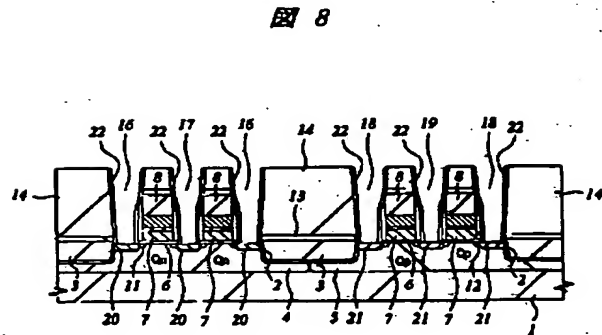
【図6】



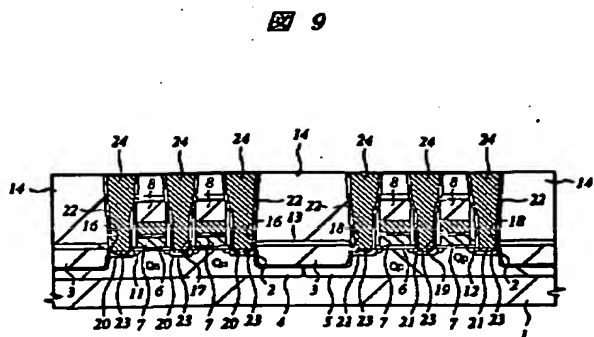
【図7】



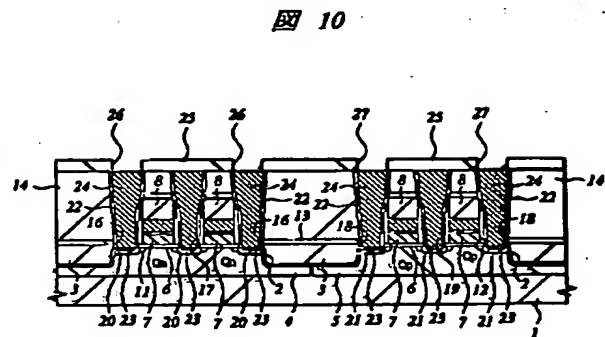
【図8】



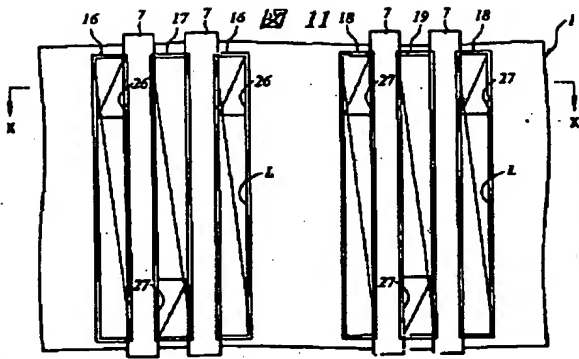
【図9】



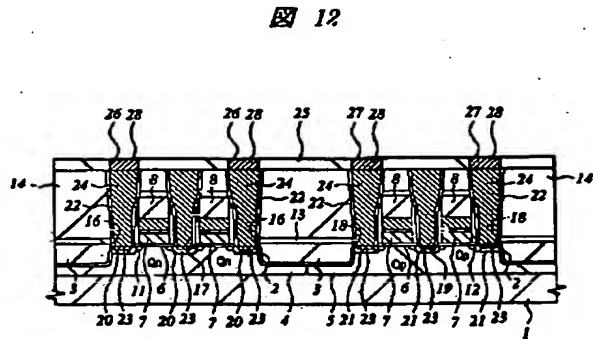
【図10】



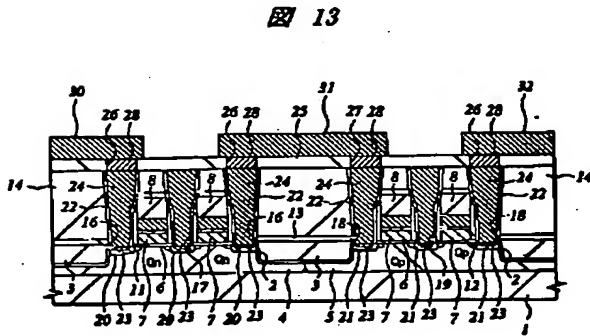
【図11】



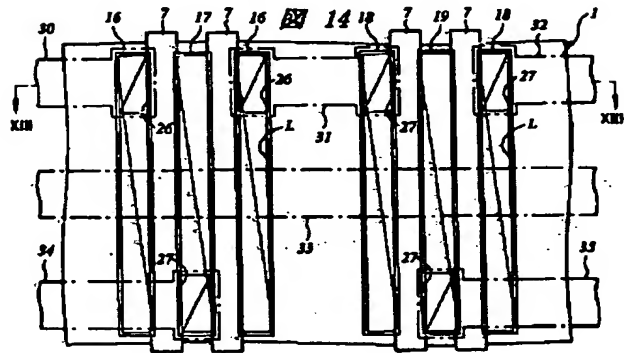
【図12】



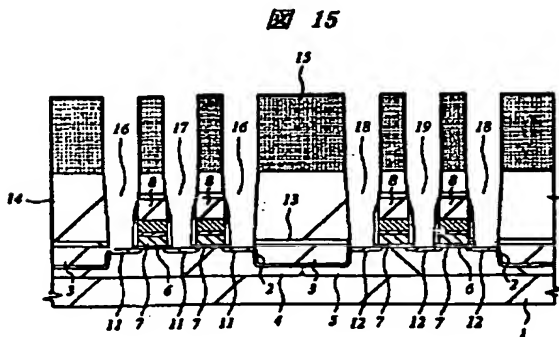
【図13】



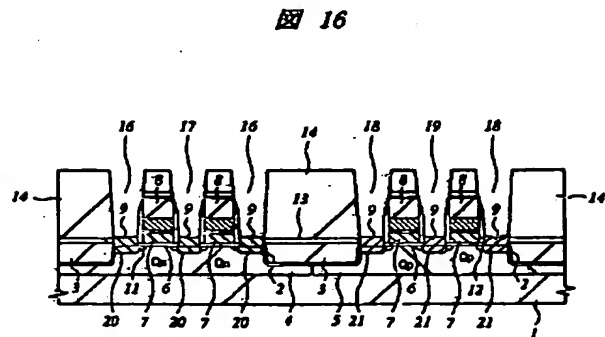
【図14】



【図15】

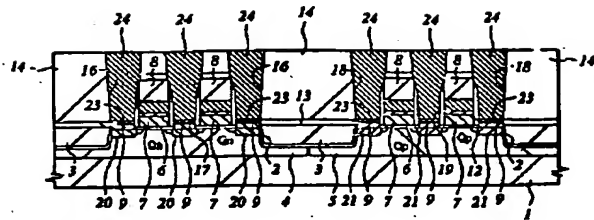


【図16】



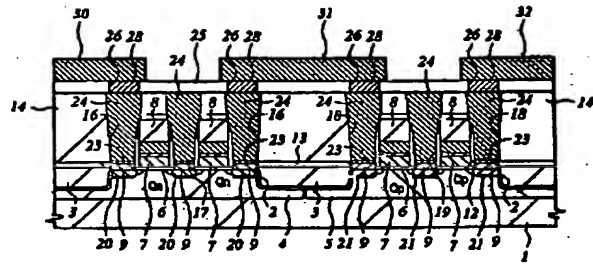
【図17】

図 17



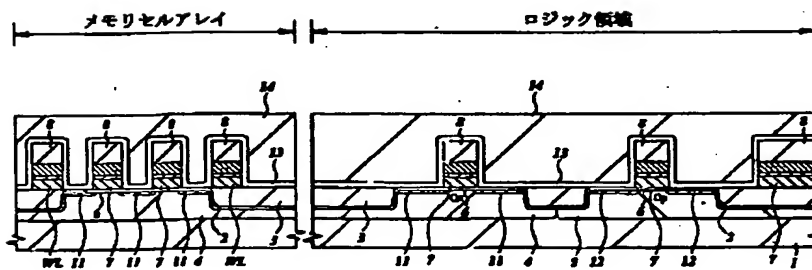
【図18】

図 18



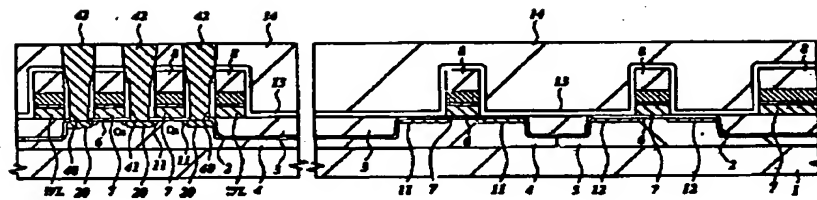
【図19】

図 19



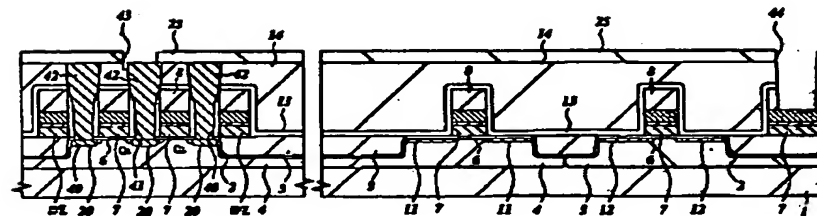
【図20】

図 20



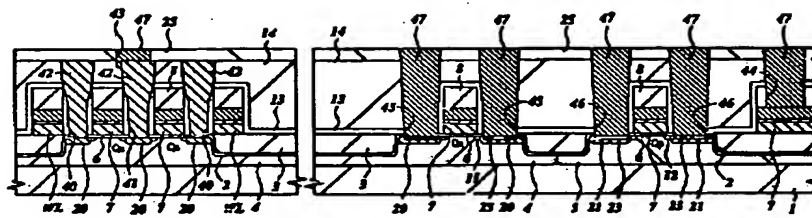
【図21】

図 21



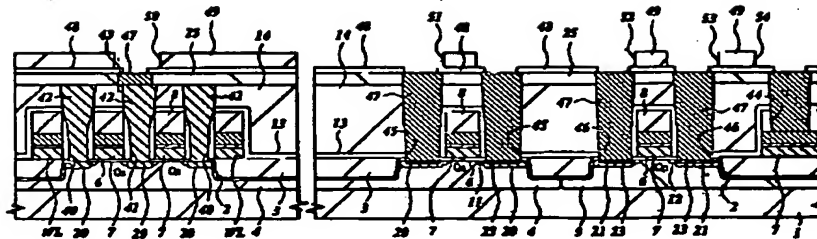
【図22】

図 22



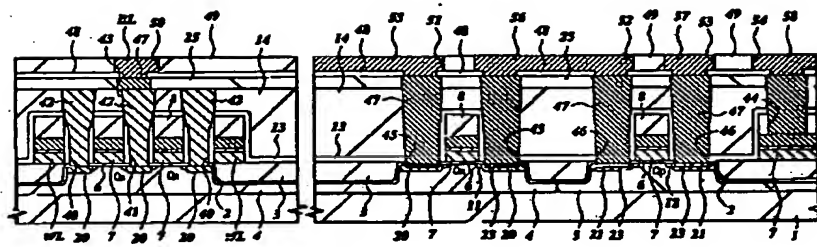
【図23】

図 23



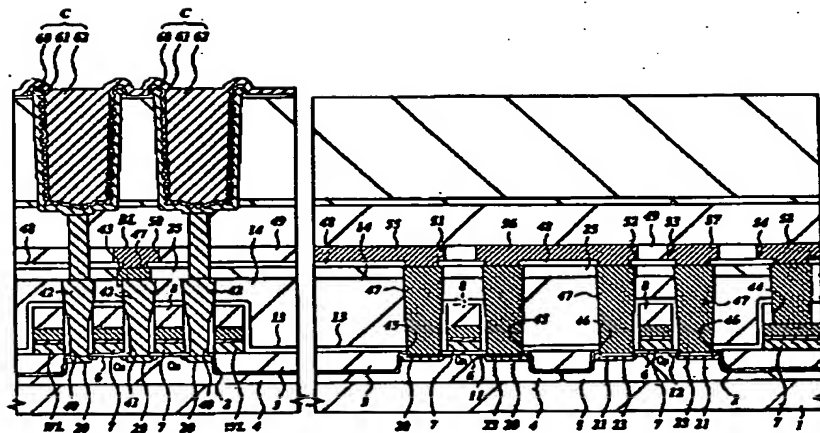
【図24】

図 24



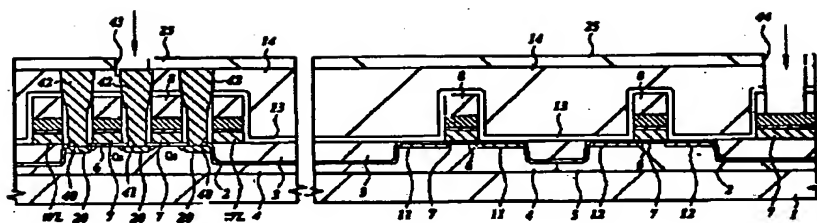
【図25】

図 25



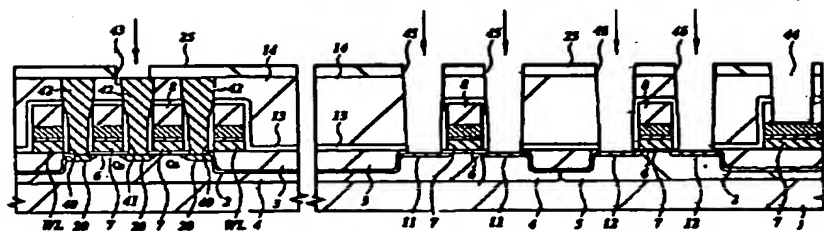
【図26】

図 26



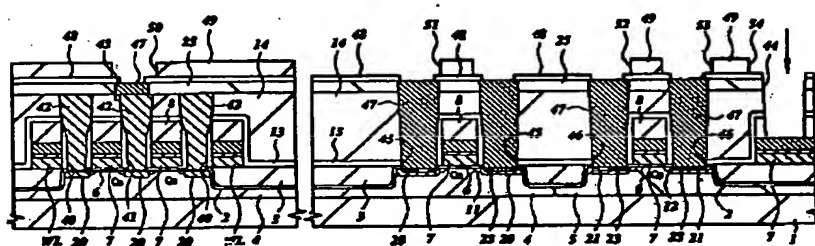
【図27】

図 27



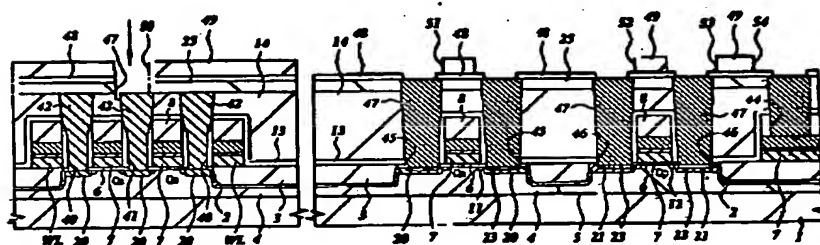
【図28】

図 28



【図29】

図 29



フロントページの続き

(51) Int. Cl.⁷
H01L 29/417
29/78
21/336

識別記号

FI
H01L 29/78

301S

(参考)

(17) 冊2001-44138 (P2001-44138A)

(72)発明者 朝香 勝征
東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センタ内
(72)発明者 高倉 俊彦
東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センタ内

Fターム(参考) 4M104 AA01 BB01 BB20 BB25 CC01
DD04 DD08 DD37 DD43 DD46
DD75 DD84 EE09 EE12 EE14
EE17 FF18 FF21 FF22 GG09
GG10 GG14 HH14 HH16
5F040 DA10 DB03 EF02 EH07 EK05
FA05 FA07 FA10 FB01 FB04
FC19 FC21 FC22
5F048 AB01 AC03 BA01 BC06 BE03
BF03 BF06 BF07 BG14 DA27
DA30
5F083 AD10 AD29 AD49 JA32 JA35
JA39 JA40 JA53 MA02 MA03
MA05 MA06 NA01 PR03 PR06
PR09 PR21 PR22 PR29 PR36
PR40 PR48

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.